



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshihisa KONDO

GAU:

SERIAL NO: 10/829,267

EXAMINER:

FILED: April 22, 2004

FOR: NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE AND ELECTRIC DEVICE WITH THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

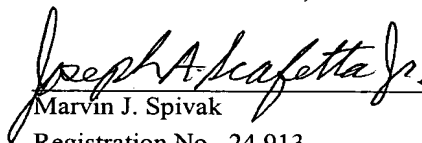
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-419383	December 17, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)  
☐ are submitted herewith  
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.  
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 1 2 月 1 7 日

出 願 番 号  
Application Number: 特 願 2 0 0 3 - 4 1 9 3 8 3  
[ST. 10/C]: [ J P 2 0 0 3 - 4 1 9 3 8 3 ]

出 願 人  
Applicant(s): 株式会社東芝

2 0 0 4 年 4 月 2 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫

CERTIFIED COPY OF  
PRIORITY DOCUMENT 出証番号 出証特 2 0 0 4 - 3 0 3 3 4 7

【書類名】 特許願  
【整理番号】 03P137  
【あて先】 特許庁長官 殿  
【国際特許分類】 G11C 16/00  
【発明者】  
    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ  
                                エレクトロニクスセンター内  
    【氏名】 近藤 勝久  
【特許出願人】  
    【識別番号】 000003078  
    【氏名又は名称】 株式会社 東芝  
【代理人】  
    【識別番号】 100092820  
    【弁理士】  
    【氏名又は名称】 伊丹 勝  
    【電話番号】 03-5216-2501  
【手数料の表示】  
    【予納台帳番号】 026893  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9810498

**【書類名】 特許請求の範囲****【請求項 1】**

電氣的書き換え可能な不揮発性メモリセルが配列されたセルアレイ、メモリセル選択を行うデコーダ及びデータ読み出し書き込みを行うセンスアンプを有するメモリコア回路と

、データ読み出し及び書き込みを制御するメモリコントローラを含む周辺回路とを有する不揮発性半導体記憶装置において、

前記メモリコントローラは、

内部クロック信号を発生するオシレータと、

前記内部クロック信号に同期して前記セルアレイの読み出し及び書き込みのタイミング制御を行うタイミング制御回路と、

外部タイミング信号と前記内部クロック信号に基づいて、前記外部タイミング信号のみをクロック源とする第1の信号期間と前記内部クロック信号をクロック源とする前記第1の信号期間とは重ならない第2の信号期間とを有する、前記周辺回路の所定の回路領域のタイミング制御に供される混合クロック信号を生成する混合クロック生成回路と、を有することを特徴とする不揮発性半導体記憶装置。

**【請求項 2】**

前記所定の回路領域は、アドレスレジスタ及びアドレスカウンタを含むアドレス回路と、コマンドをデコーダするコマンド回路とを有することを特徴とする請求項1記載の不揮発性半導体記憶装置。

**【請求項 3】**

前記混合クロック生成回路は、

前記タイミング制御回路を起動する実行フラグとこの実行フラグを前記内部クロック信号でサンプリングした同期実行フラグとの論理和出力により制御されて前記第1の信号期間の混合クロック信号となる外部タイミング信号を取り出す第1の論理ゲートと、

前記実行フラグと同期実行フラグとの論理積出力により制御されて前記第2の信号期間の混合クロック信号となる内部クロック信号を取り出す第2の論理ゲートとを有することを特徴とする請求項1記載の不揮発性半導体記憶装置。

**【請求項 4】**

前記外部タイミング信号は、書き込みイネーブル信号と読み出しイネーブル信号を含むことを特徴とする請求項1記載の不揮発性半導体記憶装置。

**【請求項 5】**

前記外部タイミング信号は、書き込みイネーブル信号と読み出しイネーブル信号を含み

、前記混合クロック生成回路は、前記書き込みイネーブル信号と読み出しイネーブル信号によりそれぞれセット及びリセットされて前記所定の回路領域に供給される動作モード判定信号を出力するフリップフロップを有することを特徴とする請求項1記載の不揮発性半導体記憶装置。

**【書類名】 明細書****【発明の名称】 不揮発性半導体記憶装置****【技術分野】****【0001】**

この発明は、電氣的書き換え可能な不揮発性半導体記憶装置（EEPROM）及びこれを用いた電子装置に関する。

**【背景技術】****【0002】**

NAND型フラッシュメモリは、複数のメモリセルが直列接続されたNANDセルユニットを配列して構成されるため、大容量化が可能なEEPROMとして知られている。NAND型フラッシュメモリでは通常、ワード線方向のNANDセルユニットの集合であるブロック単位でデータ消去が行われる。最近では、大容量化したフラッシュメモリのデータ書き換え性能を向上させるために、ページ単位でデータ消去を行うNAND型フラッシュメモリも開発されている（例えば、特許文献1参照）。

**【0003】**

NAND型フラッシュメモリに代表されるEEPROMは、セルアレイとデコーダ及びセンスアンプ回路を含むコア回路の周辺に、複雑な周辺回路を有する。具体的に周辺回路には、データ読み出しの制御、データ書き込み及び消去のシーケンス制御を行うコントローラ、外部から供給されるタイミング信号により起動されて動作するコマンド回路やアドレス回路、コントローラにより制御されて各動作モードに必要な高電圧を発生する高電圧発生回路等がある。

**【0004】**

これらの周辺回路のうちコントローラは、内蔵オシレータの出力クロックに同期して各種タイミング信号を生成する同期型回路である。これに対して、コマンド回路やアドレス回路は、外部から供給されるタイミング信号により起動されるイベントと、コントローラからの内部タイミング信号により動作するイベントとがある非同期型回路である。

**【0005】**

具体的にデータ読み出し動作を説明する。外部から書き込みイネーブル信号WE<sub>n</sub>と共に、コマンド及びアドレスを入力することにより、コントローラが起動される。このコントローラによりタイミング制御されて、セルアレイの選択セルのデータ読み出しが行われる。その内部動作が終了すると、コントローラは動作停止する。その後、外部から読み出しイネーブル信号RE<sub>n</sub>を入力すると、センスアンプに読み出されたデータをチップ外部に出力する動作が行われる。

**【0006】**

これらのデータ読み出し動作において、例えばアドレスカウンタは、読み出しイネーブル信号RE<sub>n</sub>に応じてインクリメントする。データ書き込み時であれば、アドレスカウンタは書き込みイネーブル信号WE<sub>n</sub>に応じてインクリメントする。一方、コントローラによってセンスアンプのデータをデータバッファにプリフェッチする動作があるが、この場合にはアドレスカウンタは、内部クロックに同期してインクリメントする。

**【0007】**

**【特許文献1】 特開平10-302488号公報**

**【発明の開示】**

**【発明が解決しようとする課題】**

**【0008】**

フラッシュメモリの周辺回路は、上述のように非同期型回路を含む複雑な構成となっている。特に、一つのメモリセルで多値記憶を行う多値メモリ技術を導入すると、周辺回路の複雑さは一層増す。このため、フラッシュメモリの開発期間の増大、開発リソースの増大が大きな問題になっている。

**【0009】**

通常の論理LSIの設計には、Verilog等のHDLを用いてRTLレベルの設計

を行い、論理合成ツールにより回路を生成するいわゆるトップダウン設計が適用される。しかしこの方式は、非同期回路を含むフラッシュメモリの周辺回路設計にはそのまま適用できない。

この発明は、トップダウン設計を可能とした周辺回路を持つ不揮発性半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

この発明の一態様による不揮発性半導体記憶装置は、電氣的書き換え可能な不揮発性メモリセルが配列されたセルアレイ、メモリセル選択を行うデコーダ及びデータ読み出し書き込みを行うセンスアンプを有するメモリコア回路と、データ読み出し及び書き込みを制御するメモリコントローラを含む周辺回路とを有し、前記メモリコントローラは、内部クロック信号を発生するオシレータと、前記内部クロック信号に同期して前記セルアレイの読み出し及び書き込みのタイミング制御を行うタイミング制御回路と、外部タイミング信号と前記内部クロック信号に基づいて、前記外部タイミング信号のみをクロック源とする第1の信号期間と前記内部クロック信号をクロック源とする前記第1の信号期間とは重ならない第2の信号期間とを有する、前記周辺回路の所定の回路領域のタイミング制御に供される混合クロック信号を生成する混合クロック生成回路とを有する。

【発明の効果】

【0011】

この発明によると、外部タイミング信号とチップ内部で生成される内部クロックとの合成クロックを用いることにより、周辺回路のトップダウン設計を可能とした不揮発性半導体記憶装置が提供できる。

【発明を実施するための最良の形態】

【0012】

以下、図面を参照して、この発明の実施の形態を説明する。

図1は、一実施の形態によるNAND型フラッシュメモリの機能ブロック構成を示している。メモリチップ1は、メモリコア回路10と、メモリコントローラ20を含む周辺回路とを有する。メモリコア回路10は、セルアレイ11と、そのワード線選択を行うロウデコーダ（ワード線ドライバを含む）12と、セルアレイ11のビット線に接続されて、データの読み出し及び書き込みを行うセンスアンプ回路13とを有する。

【0013】

セルアレイ11は、図2に示すように、複数のメモリセルM0～M15を直列接続して構成されるNANDセルユニットNUを配列して構成される。セルユニットNU内のメモリセルM0～M15の制御ゲートはそれぞれ異なるワード線WL0～WL15に接続される。NANDセルユニットNUの一端は選択ゲートトランジスタSG1を介して、ワード線と交差するビット線BLに接続され、他端は選択ゲートトランジスタSG2を介して共通ソース線SLに接続される。選択ゲートトランジスタSG1、SG2のゲートはそれぞれ、ワード線WL0～WL15と並行する選択ゲート線SGD、SGSに接続される。

【0014】

ワード線方向に並ぶ複数のNANDセルユニットの集合は、データ消去の単位となるブロックを構成する。ビット線BLの方向に複数のブロックBLK0、BLK1、…が配置される。各ブロック内の一つのワード線に沿った複数のメモリセルの集合は、データ読み出し及び書き込みの単位である1ページとなる。通常は、前述のようにブロック単位でデータ消去が行われる。しかしこれに限られるわけではない。データ書き換えの効率化のために、ページ単位或いは連続する複数ページを含むサブブロック単位でデータ消去を行う方式も採用することができる。

【0015】

メモリセルは、ゲート絶縁膜中に電荷蓄積層として例えば浮遊ゲートを持つMOSトランジスタであり、浮遊ゲートの蓄積電荷量によってデータを不揮発に記憶する。メモリセルのデータは、浮遊ゲートへの電荷の注入、放出により電氣的に書き換え可能である。例

えば、浮遊ゲートに電子を注入したしきい値の高い状態をデータ“0”、浮遊ゲートの電子を放出したしきい値の低い状態をデータ“1”として二値データ記憶を行う。

#### 【0016】

この実施の形態のNAND型セルアレイの場合、データ書き込みは、ページ単位で行われる。書き込み時はまず、書き込みデータ“0”、“1”に応じて、選択ブロックのNANDセルユニットのチャネルを $V_{ss}$ 、 $V_{cc}-V_{th}$  ( $V_{th}$ は選択ゲートトランジスタのしきい値)にプリチャージする。この状態で選択ワード線に書き込み電圧 $V_{pgm}$ を印加し、非選択ワード線には中間電圧 $V_{pass}$ を印加する。これにより“0”データが与えられたセルでは、浮遊ゲートに電子注入が生じ、しきい値が上昇する。“1”データが与えられたセルでは、フローティングとなるチャネルが制御ゲートからの容量結合により電位上昇して、電子注入が生じない。

#### 【0017】

実際にデータ書き込みは、データのしきい値分布制御のために、書き込みパルスの印加とその後のベリファイ読み出しを含む書き込みサイクルを、全てのデータが書き込まれるまで繰り返すというシーケンスで行われる。メモリコントローラ20がそのシーケンス制御を行う。

#### 【0018】

データの読み出しは、やはりページ単位で行われる。読み出し時、選択ワード線には、“0”、“1”を判別できる読み出し電圧、例えば0Vを与え、非選択ワード線にはセルデータに依らずメモリセルがオンするパス電圧 $V_{read}$ を与える。選択ゲートトランジスタもオンとする。これにより、セル電流が流れるか否かを検出することにより、データを判別できる。実際には例えば、センスアンプ回路13によりセルデータ読み出しに先立ってビット線を例えば $V_{cc}$ にプリチャージし、NANDセルユニットによりビット線が放電されるか否かを検出することにより、データが検出される。ビット線プリチャージからセルデータ読み出しのまでの制御もメモリコントローラ20により行われる。

#### 【0019】

データ消去は通常ブロック単位で行われる。このとき選択ブロックのワード線には0Vを与え、セルアレイが形成されたp型ウェルに消去電圧 $V_{era}$ を与える。これにより、選択されたブロックの全メモリセルでは、浮遊ゲートの電子がチャネルに放出され、データ“1”の消去状態が得られる。

#### 【0020】

メモリコントローラ20は、データ読み出しや書き込み時、センスアンプ回路13やロウデコーダ12にタイミング信号を送って、読み出し動作の制御、データ書き込み及び消去のシーケンス制御を行う。周辺回路にはメモリコントローラ20の他、外部から供給されるコマンドをデコードするコマンド回路32、外部から供給されるアドレスを保持するアドレス回路33、セルアレイ11の書き込みや消去に用いられる各種高電圧 $V_{pp}$ を発生する高電圧発生回路31を有する。アドレス回路33は詳細は示さないが、ロウデコーダ12に供給されるロウアドレス及びデータバッファ34内のカラム選択ゲートに供給されるカラムアドレスを保持するアドレスレジスタを有する他、動作モードに応じてアドレスをインクリメントするアドレスカウンタを有する。

#### 【0021】

I/Oコントロール回路35は、コマンドラッチイネーブル信号 $CLE$ 及びアドレスラッチイネーブル信号 $ALE$ に基づいて、コマンド回路32及びアドレス回路33へのコマンド及びアドレスの入力を制御する。シリアルコントロール回路36は、外部I/O端子とセンスアンプ回路23との間で、1ページ分の読み出し及び書き込みデータのシリアル転送を制御すべく、アドレス回路33を制御する。

#### 【0022】

メモリコントローラ20は、内部クロック信号 $OscClk$ を発生するオシレータ21と、タイミング制御回路22を有する。タイミング制御回路22は、内部クロック信号 $OscClk$ に基づいてメモリコア回路10に供給されるタイミング信号を生成して、セル

アレイ 11 の読み出し及び書き込みのタイミング制御を行う。メモリコントローラ 20 は更に、内部クロック信号  $Osc\ Clk$  と、外部タイミング信号である書き込みイネーブル信号  $WE_n$  及び読み出しイネーブル信号  $RE_n$  とに基づいて、混合クロック信号  $Merge\ Clk$  を生成する混合クロック生成回路 23 を有する。

#### 【0023】

混合クロック信号  $Merge\ Clk$  は、コマンド回路 32 やアドレス回路 33 に供給され、これによりコマンド回路 32 やアドレス回路 33 がタイミング制御信号を出力する。即ち、従来は書き込みイネーブル信号  $WE_n$  や読み出しイネーブル信号  $RE_n$  に基づいてタイミング信号を出力していたコマンド回路 32 やアドレス回路 33 が、この実施の形態では、混合クロック信号  $Merge\ Clk$  により制御される。

#### 【0024】

具体的には後に説明するように、混合クロック生成回路 23 は、外部から供給される書き込みイネーブル信号  $WE_n$  又は読み出しイネーブル信号  $RE_n$  と、これに対して一定の休止期間をおいて続く内部クロック信号  $Osc\ Clk$  とを合成した合成クロック信号  $Merge\ Clk$  を出力するように構成される。

#### 【0025】

このような混合クロック信号  $Merge\ Clk$  を生成するためには、オシレータ 21 はイネーブル端子 ( $En$ ) を有し、メモリコントローラ 20 が起動されたときに発振動作を行うことが必要である。その詳細は後述する。このような合成クロック信号  $Merge\ Clk$  を用いることによって、メモリコントローラ 20 のみならず、コマンド回路 32 やアドレス回路 33 を含む周辺回路に対して、トップダウン設計が可能になる。

#### 【0026】

図 3 は、混合クロック生成回路 23 とそれに付随する回路 (図 1 では省略されている) の具体的な構成を示している。図 5 は、この混合クロック生成回路 23 の動作波形を示している。

RS フリップフロップ  $FF1$  のセット入力端子とリセット入力端子にはそれぞれ書き込みイネーブル信号  $WE_n$  と読み出しイネーブル信号  $RE_n$  が入る。これによりフリップフロップ  $FF1$  は、書き込みイネーブル信号  $WE_n$  の立ち下がりで “H” となり、読み出しイネーブル信号  $RE_n$  の立ち下がりで “L” になる信号  $WeRen$  を出力する。この信号  $WeRen$  は、書き込みモードと読み出しモードの判定信号としてコマンド回路 32 及びアドレス回路 33 を含む周辺回路領域 30 に供給される。

#### 【0027】

組み合わせ論理回路 41 は、書き込みイネーブル信号  $WE_n$  や読み出しイネーブル信号  $RE_n$  に同期してアドレスやコマンドが外部から周辺回路領域 30 に供給されると、それらにより決まる起動条件を判定する。この組み合わせ論理回路 41 の出力に応じて、メモリコントローラ 20 が起動されて動作状態にあることを示す実行フラグ  $Exec$  のセット、リセットが制御される。実行フラグ  $Exec$  は、オシレータ 21 が出力する内部クロック信号  $Osc\ Clk$  と共にタイミング制御回路 22 に供給される。即ち実行フラグ  $Exec$  は、内部クロック信号  $Osc\ Clk$  に同期して動作するタイミング制御回路 22 を起動するための信号となる。

#### 【0028】

実行フラグ  $Exec$  は、外部タイミング信号である書き込みイネーブル信号  $WE_n$  又は読み出しイネーブル信号  $RE_n$  に同期してセット、リセットされる。即ち実行フラグ  $Exec$  が “L” の間は、オシレータ 21 がディセーブル状態を保ち、一方で AND ゲート  $G2$  が活性に保たれる。その間、書き込みイネーブル信号  $WE_n$  又は読み出しイネーブル信号  $RE_n$  が入ると、それが OR ゲート  $G1$  を通り、AND ゲート  $G2$  及び NOR ゲート  $G4$  を通って、混合クロック信号  $Merge\ Clk$  として出力される。この混合クロック信号  $Merge\ Clk$  は、D タイプフリップフロップ  $FF2$  のクロック端子に入る。これにより、組み合わせ論理回路 41 の出力に応じて、実行フラグ  $Exec = “H”$  が得られる。



**【0029】**

実行フラグExecは、ORゲートG5を通り、インバータINVを通して、外部にビジー信号BUSYnとして出力される。また実行フラグExecが“H”になると、ANDゲートG2は非活性になり、またORゲートG5を通して実行フラグExecがイネーブル端子に入ることにより、一定の起動遅延時間をおいて、発振を開始する。オシレータ21が出力する内部クロックOscClkは、フリップフロップFF2の出力がデータ端子に入るもう一つのDタイプフリップフロップFF3のクロック端子に入る。これによりフリップフロップFF3は、実行フラグExecを内部クロック信号OscClkの1サイクル分遅延させた同期実行フラグSyncExecを出力する。

**【0030】**

同期実行フラグSyncExecは、混合クロックMergeClkとして内部クロックOscClkを出力する期間の開始タイミングを決定する。即ち実行フラグExecと同期実行フラグSyncExecは、ANDゲートG6に入る。ANDゲートG6は、実行フラグExecと同期実行フラグSyncExecの“H”レベル期間“H”となるクロックイネーブル信号ClkEを出力する。このクロックイネーブル信号ClkEによりANDゲートG3が活性化されると、オシレータ21が出力する内部クロックOscClkはANDゲートG3を通り、NORゲートG4を通して、混合クロック信号MergeClkとして出力される。

**【0031】**

この様な混合クロック生成回路23によって、図5に示すように、外部タイミング信号WEn、REnをクロック源とする信号期間Aと、内部クロック信号OscClkをクロック源とする信号期間Bを持つ混合クロック信号MergeClkが生成される。即ち、実行フラグExecとこれを内部クロックOscClkでサンプリングした同期実行フラグSyncExecの論理和をとるORゲートG5の出力により制御されるANDゲートG2によって、信号期間Aの混合クロック信号として書き込みイネーブル信号WEnや読み出しイネーブル信号REnが取り出される。また実行フラグExecと同期実行フラグSyncExecの論理積をとるANDゲートG6の出力により制御されるANDゲートG3によって、信号期間Bの混合クロック信号として内部クロック信号OscClkが取り出される。

**【0032】**

実行フラグExecが“H”になった後、同期実行フラグSyncExecが“H”になるまでの間は、ANDゲートG2、G3が共に非活性である。即ちオシレータ21の起動遅延機能により、信号期間A、Bの間のクロック休止期間Cが確保される。

**【0033】**

この様にして得られる混合クロック信号MergeClkは回路領域30に供給され、内部クロックOscはタイミング制御回路22に供給されて、読み出し、書き込み等のタイミング制御が行われる。組み合わせ論理回路41がタイミング制御回路22の動作終了信号SeqENDを検出すると、実行フラグExecは“L”になる。実行フラグExecが“L”になった後も、同期実行フラグSyncExecによりオシレータ21は発振動作を続ける。実行フラグExecに1サイクル遅れて同期実行フラグSyncExecが“L”になると、オシレータ21は発振停止する。実行フラグExecが“L”になると、ANDゲートG3は非活性になり、またその後同期実行フラグSyncExecが“L”になるまでは、ANDゲートG2も非活性である。従って、実行フラグExecが“L”になった後も、1サイクルのクロック休止期間Cが確保される。

**【0034】**

以上のようにこの実施の形態では、外部タイミング信号である書き込みイネーブル信号WEn、読み出しイネーブル信号REnと内部クロック信号OscClkを混合した混合クロック信号MergeClkを生成している。混合クロック信号MergeClkは、アドレス回路33やコマンド回路32に供給され、内部クロック信号OscClkはタイミング制御回路22に供給される。

**【0035】**

このような混合クロック信号 Merge Clk を用いることにより、内部クロック信号 Osc Clk により動作するタイミング制御回路 22 と、外部タイミング信号により動作するアドレス回路 33 やコマンド回路 32 を含む周辺回路領域 30 とを同期型回路として扱うこと、従ってトップダウン方式を利用した論理合成による回路設計が可能になる。以上により、NAND 型フラッシュメモリの設計効率が高いものとなる。

**【0036】**

また外部デバイスは、ビジー信号 BUSY n により、メモリチップがビジー状態であるか（信号期間 B）、或いは外部タイミング信号を供給できる信号期間 A であるかを識別することができる。更にビジー信号 BUSY n と、動作モードの判定信号 WeRen を適切に用いれば、どのクロック源による動作であるかを識別して、メモリ動作制御を行うことができる。

**【0037】**

NAND フラッシュメモリでは通常、書き込みイネーブル信号 WE n と読み出しイネーブル信号 RE n との最小位相差が仕様により定められている。製品によっては、書き込みイネーブル信号 WE n と読み出しイネーブル信号 RE n とが短時間ではあるが重なることも許容されている。この様な製品に対してこの発明を適用するためには、混合クロック生成回路の前段に、書き込みイネーブル信号 WE n と読み出しイネーブル信号 RE n を分離するための波形整形回路を備えればよい。

**【0038】**

図 4 は、混合クロック生成回路 23 とそれに付随する回路の他の構成例を示している。図 3 と対応する部分には図 3 と同じ符号を付して詳細な説明は省く。図 3 の回路では、クロック休止期間 C を確保するためのオシレータ 21 の起動遅延の機能を、オシレータ 21 内に実装した。これに対して図 4 では、実行フラグ Exec に基づいて同期実行フラグ Sync Exec を発生させる部分に 2 段の D タイプフリップフロップ FF 3、FF 4 を配置することにより、同様の機能を実現している。

**【0039】**

次に、上記実施の形態による不揮発性半導体記憶装置を搭載した電子カードと、その電子カードを用いた電子装置の実施の形態を説明する。

図 6 は、この実施の形態による電子カードと、この電子カードを用いた電子装置の構成を示す。ここでは電子装置は、携帯電子機器の一例としてのデジタルスチルカメラ 101 を示す。電子カードは、デジタルスチルカメラ 101 の記録媒体として用いられるメモリカード 61 である。メモリカード 61 は、先の各実施の形態で説明した不揮発性半導体装置或いはメモリシステムが集積化され封止された IC パッケージ PK1 を有する。

**【0040】**

デジタルスチルカメラ 101 のケースには、カードスロット 102 と、このカードスロット 102 に接続された、図示しない回路基板が収納されている。メモリカード 61 は、カードスロット 102 に取り外し可能に装着される。メモリカード 61 は、カードスロット 102 に装着されると、回路基板上の電気回路に電気的に接続される。

電子カードが例えば、非接触型の IC カードである場合、カードスロット 102 に収納し、或いは近づけることによって、回路基板上の電気回路に無線信号により接続される。

**【0041】**

図 7 は、デジタルスチルカメラの基本的な構成を示す。被写体からの光は、レンズ 103 により集光されて撮像装置 104 に入力される。撮像装置 104 は例えば CMOS イメージセンサであり、入力された光を光電変換し、アナログ信号を出力する。このアナログ信号は、アナログ増幅器（AMP）により増幅された後、A/D コンバータによりデジタル変換される。変換された信号は、カメラ信号処理回路 105 に入力され、例えば自動露出制御（AE）、自動ホワイトバランス制御（AWB）、及び色分離処理を行った後、輝度信号と色差信号に変換される。

**【0042】**

画像をモニターする場合、カメラ信号処理回路105から出力された信号はビデオ信号処理回路106に入力され、ビデオ信号に変換される。ビデオ信号の方式としては、例えばNTSC (National Television System Committee) を挙げることができる。ビデオ信号は、表示信号処理回路107を介して、デジタルスチルカメラ101に取り付けられた表示部108に出力される。表示部108は例えば液晶モニターである。

#### 【0043】

ビデオ信号は、ビデオドライバ109を介してビデオ出力端子110に与えられる。デジタルスチルカメラ101により撮像された画像は、ビデオ出力端子110を介して、例えばテレビジョン等の画像機器に出力することができる。これにより、撮像した画像を表示部108以外でも表示することができる。撮像装置104、アナログ増幅器 (AMP)、A/Dコンバータ (A/D)、カメラ信号処理回路105は、マイクロコンピュータ111により制御される。

#### 【0044】

画像をキャプチャする場合、操作ボタン例えばシャッターボタン112を操作者が押す。これにより、マイクロコンピュータ111が、メモリコントローラ113を制御し、カメラ信号処理回路105から出力された信号がフレーム画像としてビデオメモリ114に書き込まれる。ビデオメモリ114に書き込まれたフレーム画像は、圧縮/伸張処理回路115により、所定の圧縮フォーマットに基づいて圧縮され、カードインタフェース116を介してカードスロット102に装着されているメモリカード61に記録される。

#### 【0045】

記録した画像を再生する場合、メモリカード61に記録されている画像を、カードインタフェース116を介して読み出し、圧縮/伸張処理回路115により伸張した後、ビデオメモリ114に書き込む。書き込まれた画像はビデオ信号処理回路106に入力され、画像をモニターする場合と同様に、表示部108や画像機器に映し出される。

#### 【0046】

なおこの構成では、回路基板100上に、カードスロット102、撮像装置104、アナログ増幅器 (AMP)、A/Dコンバータ (A/D)、カメラ信号処理回路105、ビデオ信号処理回路106、メモリコントローラ113、ビデオメモリ114、圧縮/伸張処理回路115、及びカードインタフェース116が実装される。

#### 【0047】

但しカードスロット102については、回路基板100上に実装される必要はなく、コネクタケーブル等により回路基板100に接続されるようにしてもよい。

回路基板100上には更に、電源回路117が実装される。電源回路117は、外部電源、或いは電池からの電源の供給を受け、デジタルスチルカメラの内部で使用する内部電源電圧を発生する。電源回路117として、DC-DCコンバータを用いてもよい。内部電源電圧は、上述した各回路に供給される他、ストロボ118、表示部108にも供給される。

#### 【0048】

以上のようにこの実施の形態の電子カードは、デジタルスチルカメラ等の携帯電子機器に用いることが可能である。更にこの電子カードは、携帯電子機器だけでなく、図8A-8Jに示すような他の各種電子機器に適用することができる。即ち、図8Aに示すビデオカメラ、図8Bに示すテレビジョン、図8Cに示すオーディオ機器、図8Dに示すゲーム機器、図8Eに示す電子楽器、図8Fに示す携帯電話、図8Gに示すパーソナルコンピュータ、図8Hに示すパーソナルデジタルアシスタント (PDA)、図8Iに示すヴォイスレコーダ、図8Jに示すPCカード等に、上記電子カードを用いることができる。

#### 【0049】

上記実施の形態では、NAND型セルアレイを持つフラッシュメモリを説明したが、AND型、バアーチャルグラウント型、NOR型等の他のセルアレイ方式を用いたEEPROMにも同様にこの発明を適用することができる。

## 【図面の簡単な説明】

## 【0050】

【図1】この発明の実施の形態によるフラッシュメモリチップの機能ブロック構成を示す図である。

【図2】同フラッシュメモリのセルアレイ構成を示す図である。

【図3】同フラッシュメモリのメモリコントローラ周辺の具体構成を示す図である。

【図4】同フラッシュメモリのメモリコントローラ周辺の他の構成例を示す図である。

【図5】同フラッシュメモリのクロック方式を説明するためのタイミング図である。

【図6】デジタルスチルカメラに適用した実施の形態を示す図である。

【図7】同デジタルスチルカメラの内部構成を示す図である。

【図8A】ビデオカメラに適用した実施の形態を示す図である。

【図8B】テレビジョンに適用した実施の形態を示す図である。

【図8C】オーディオ機器に適用した実施の形態を示す図である。

【図8D】ゲーム機器に適用した実施の形態を示す図である。

【図8E】電子楽器に適用した実施の形態を示す図である。

【図8F】携帯電話に適用した実施の形態を示す図である。

【図8G】パーソナルコンピュータに適用した実施の形態を示す図である。

【図8H】パーソナルデジタルアシスタント（PDA）に適用した実施の形態を示す図である。

【図8I】ヴォイスレコーダに適用した実施の形態を示す図である。

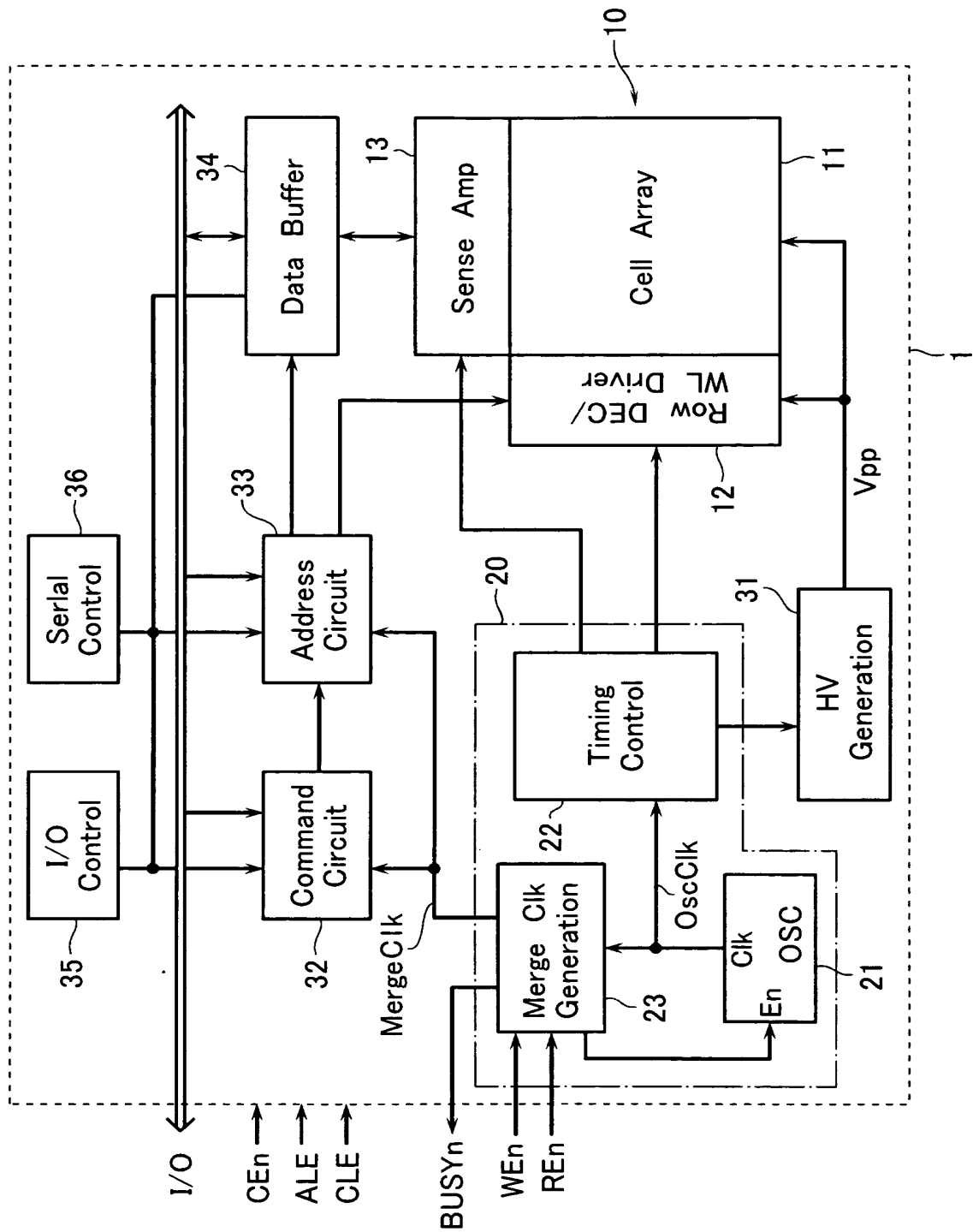
【図8J】PCカードに適用した実施の形態を示す図である。

## 【符号の説明】

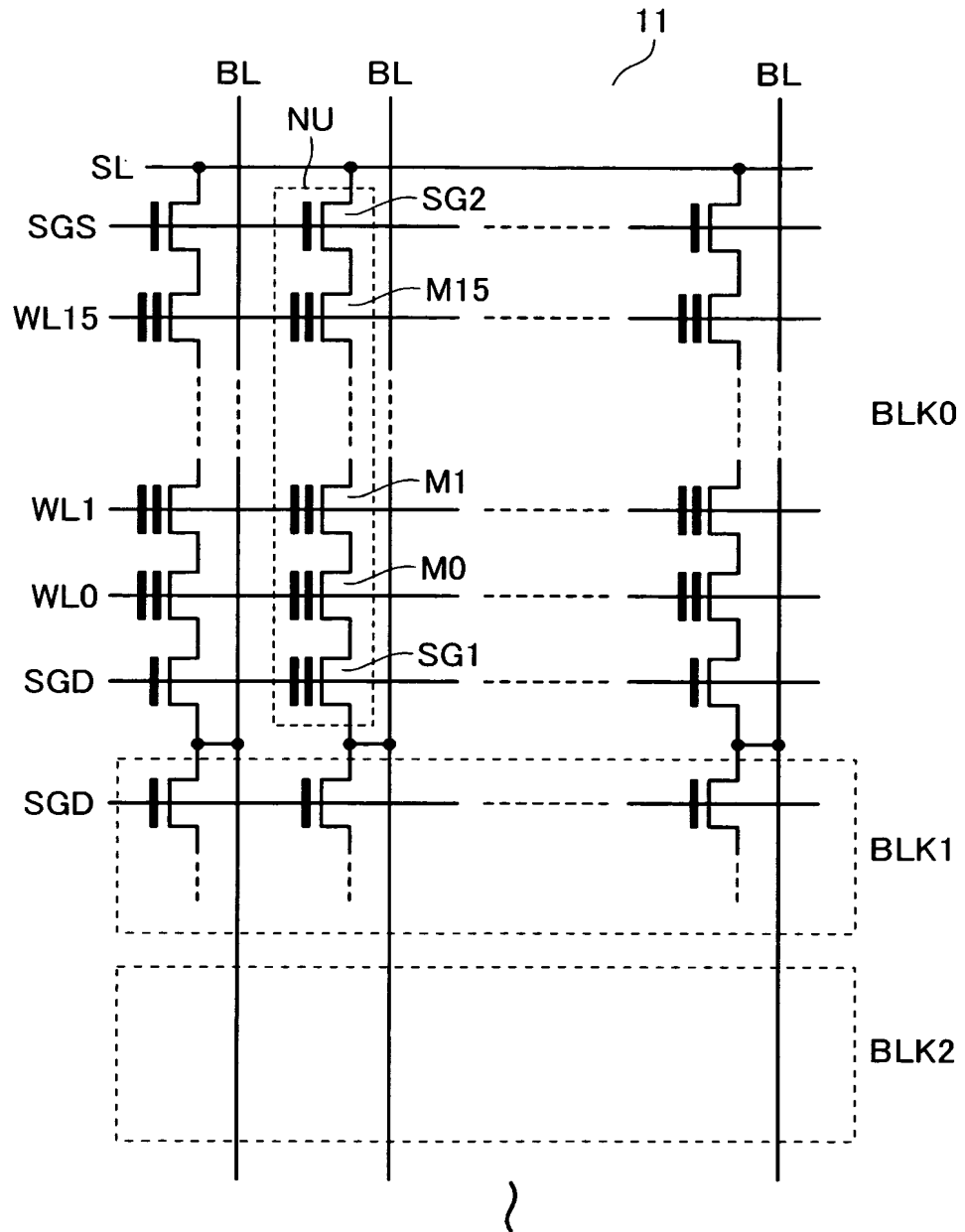
## 【0051】

1…メモリチップ、10…メモリコア回路、11…セルアレイ、12…ロウデコーダ、13…センスアンプ回路、20…メモリコントローラ、21…オシレータ、22…タイミング制御回路、23…混合クロック生成回路、30…周辺回路領域、31…高電圧発生回路、32…コマンド回路、33…アドレス回路、34…データバッファ、35…I/Oコントロール回路、36…シリアルコントロール回路、41…組み合わせ論理回路、FF1…RSフリップフロップ、FF2，FF3，FF4…Dタイプフリップフロップ、Osc Clk…内部クロック信号、Merge Clk…混合クロック信号、Exec…実行フラグ、Sync Exec…同期実行ラグ。

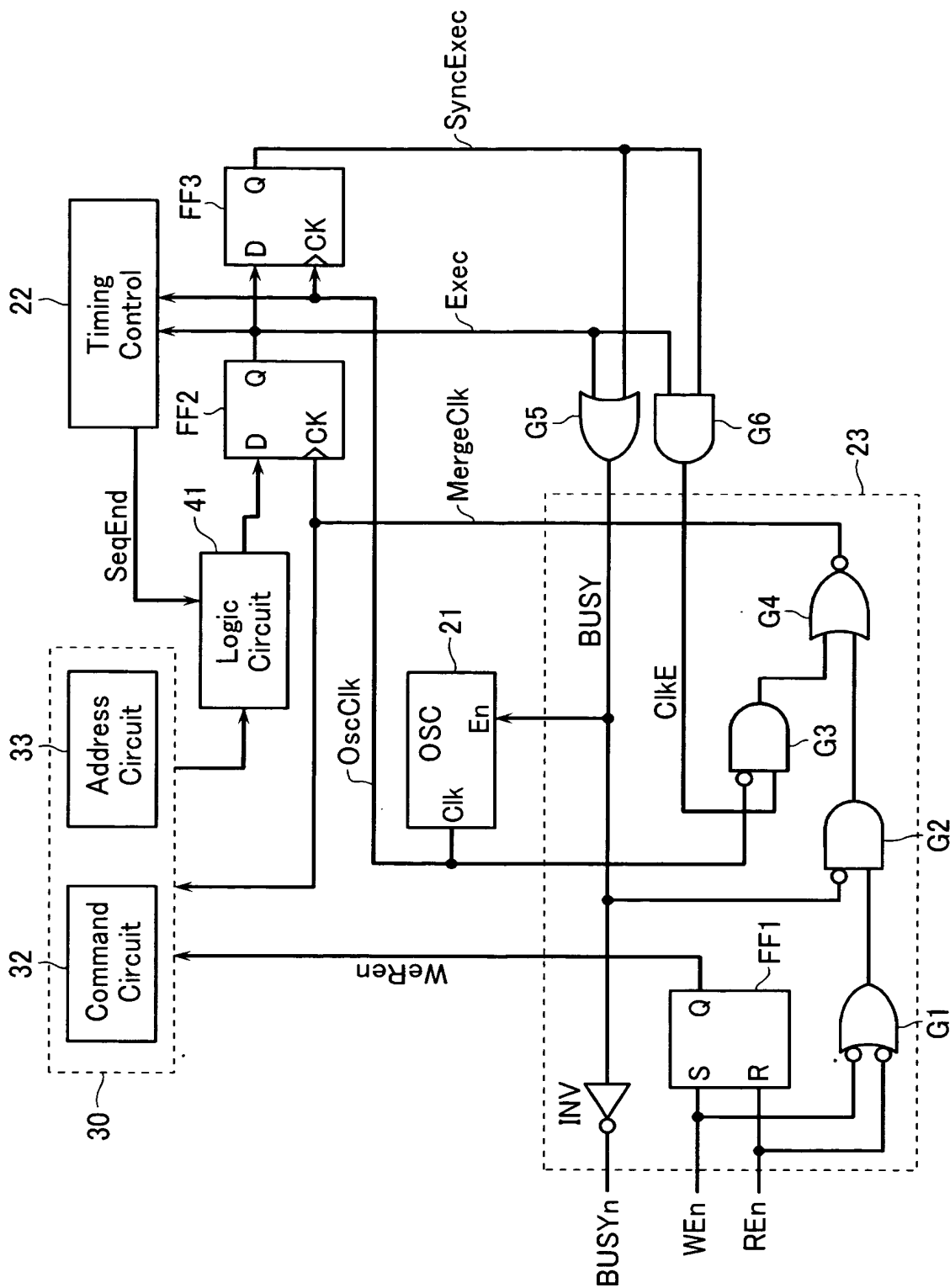
【書類名】 図面  
【図 1】



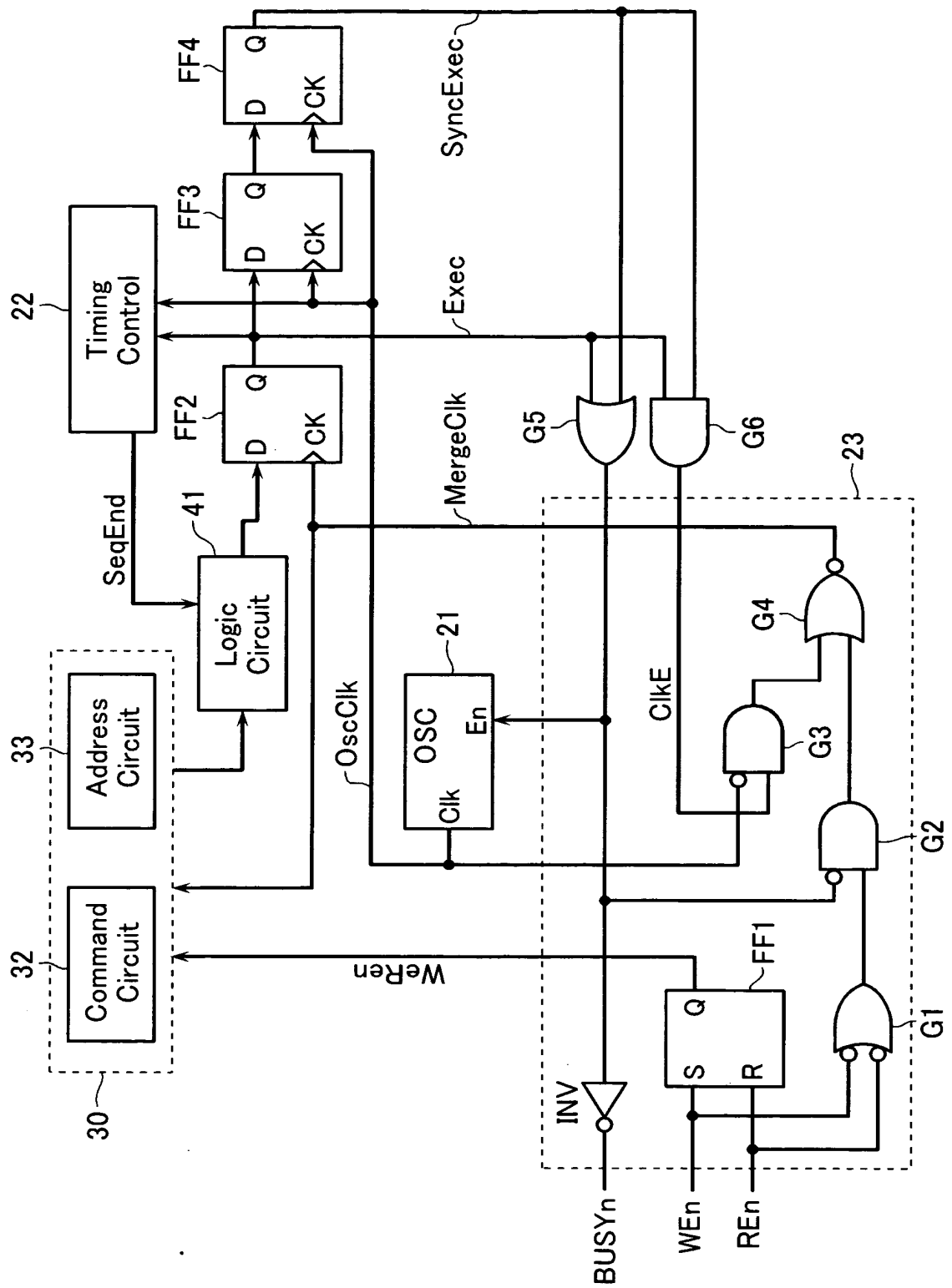
【図 2】



【図 3】

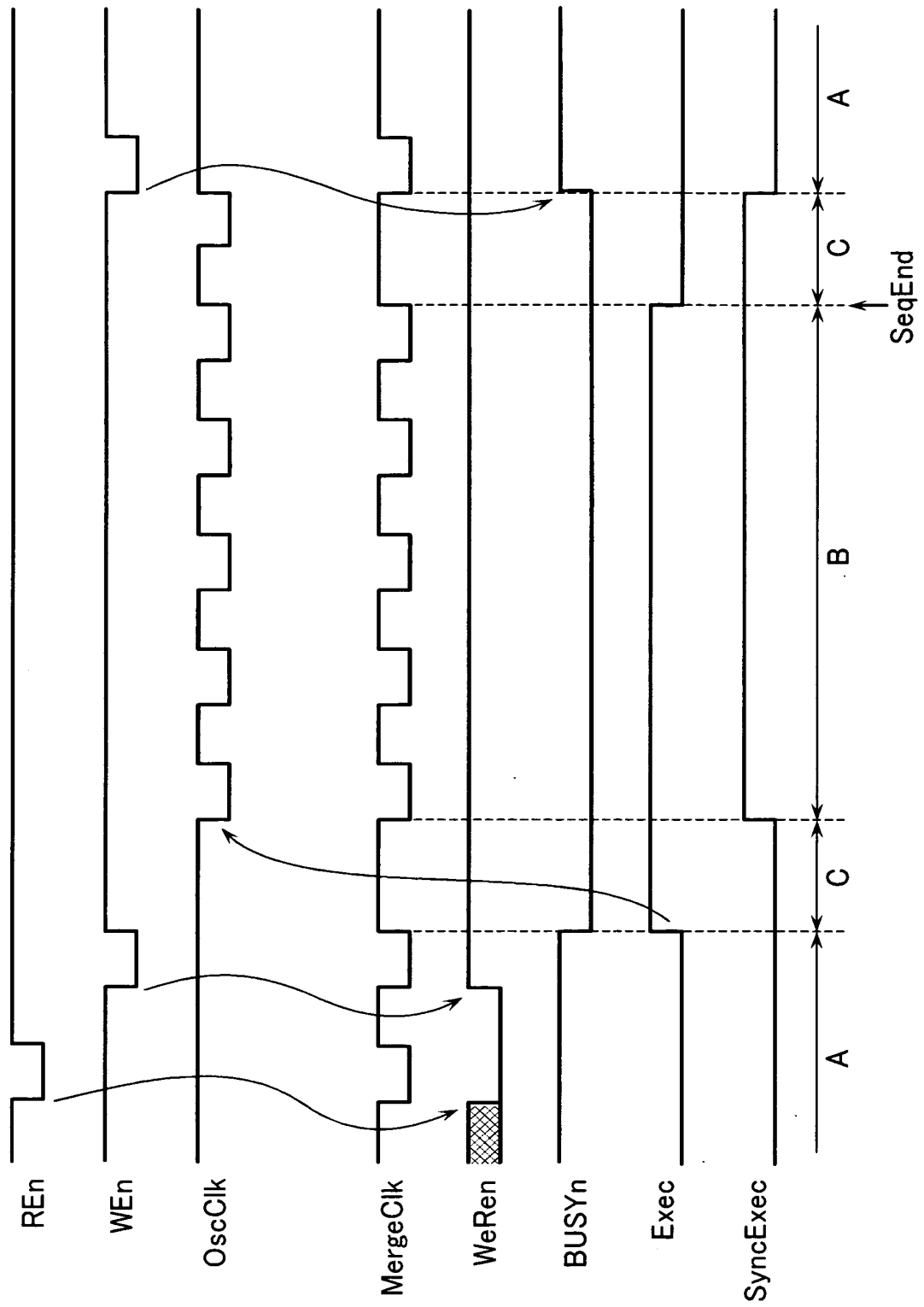


【図 4】

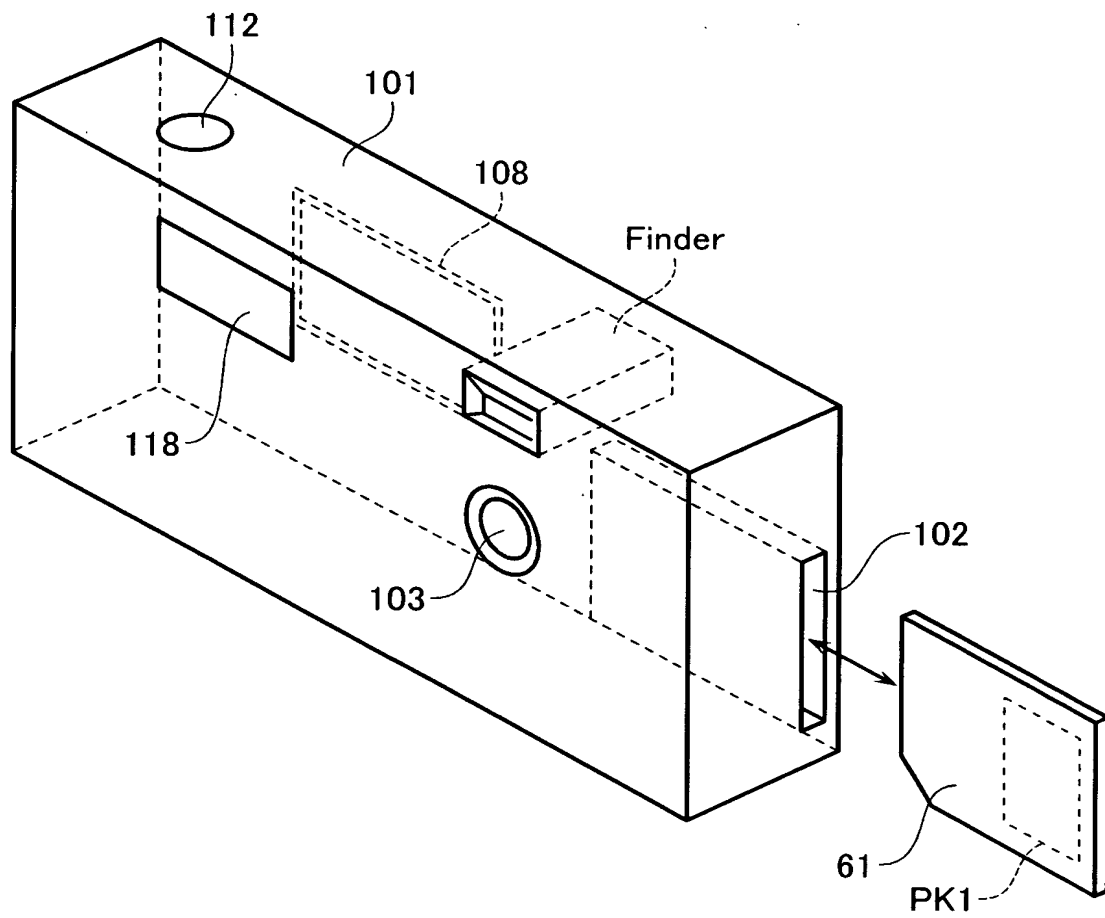




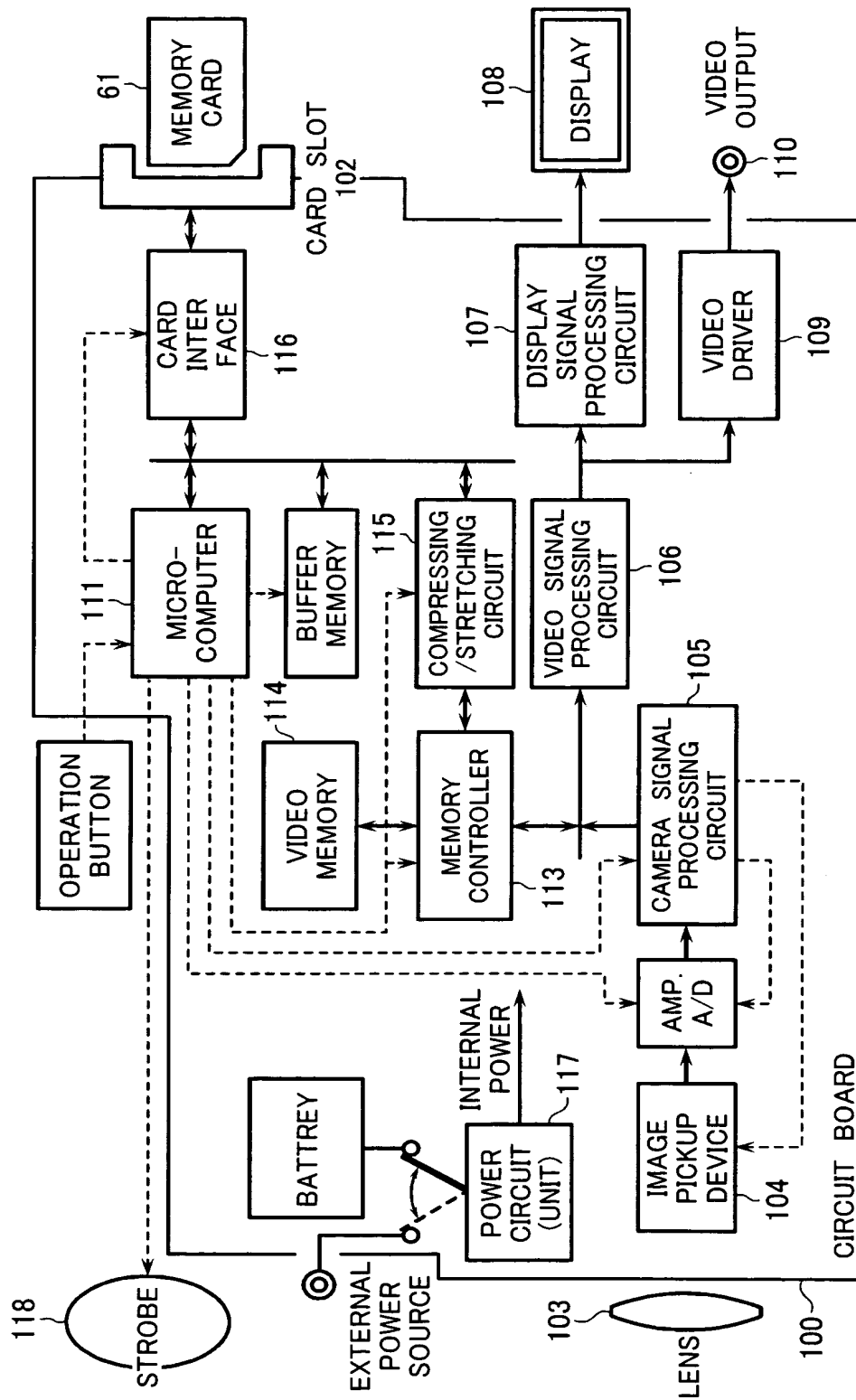
【図 5】



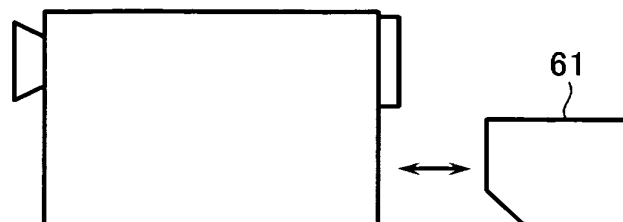
【図 6】



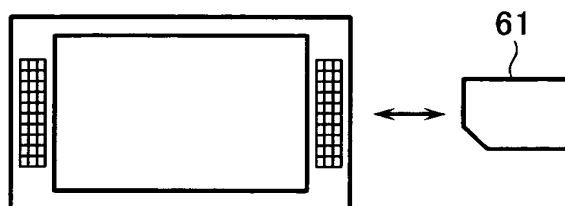
【図 7】



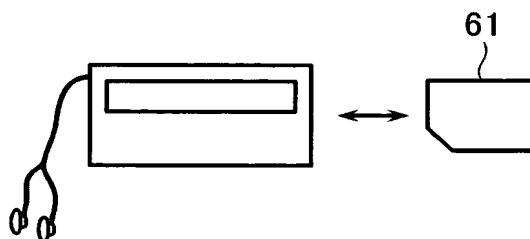
【図 8 A】



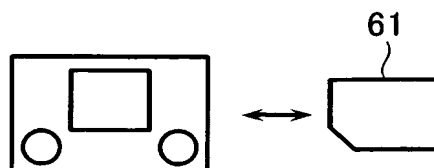
【図 8 B】



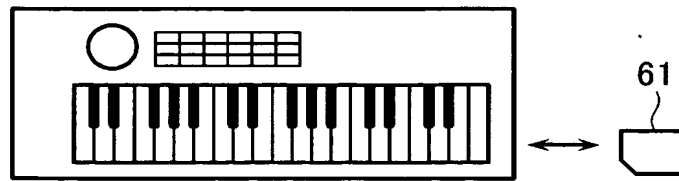
【図 8 C】



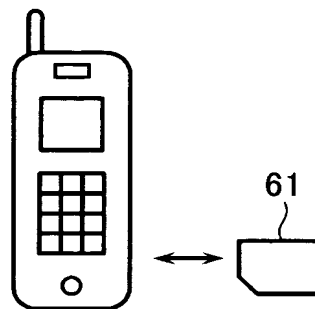
【図 8 D】



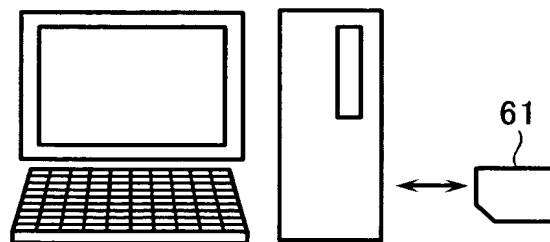
【図 8 E】



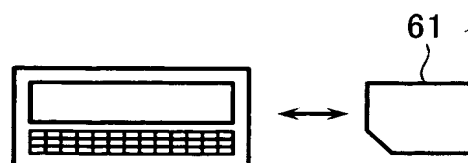
【図 8 F】



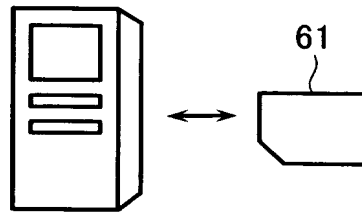
【図 8 G】



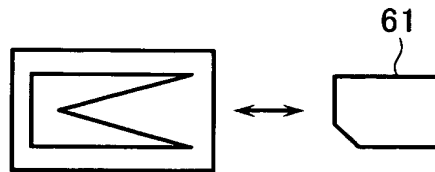
【図 8 H】



【図 8 I】



【図 8 J】



**【書類名】 要約書****【要約】**

**【課題】** トップダウン設計を可能とした周辺回路を持つ不揮発性半導体記憶装置を提供する。

**【解決手段】** 不揮発性半導体記憶装置は、電氣的書き換え可能な不揮発性メモリセルが配列されたセルアレイ、メモリセル選択を行うデコーダ及びデータ読み出し書き込みを行うセンスアンプを有するメモリコア回路と、データ読み出し及び書き込みを制御するメモリコントローラを含む周辺回路とを有し、前記メモリコントローラは、内部クロック信号を発生するオシレータと、前記内部クロック信号に同期して前記セルアレイの読み出し及び書き込みのタイミング制御を行うタイミング制御回路と、外部タイミング信号と前記内部クロック信号に基づいて、前記外部タイミング信号のみをクロック源とする第1の信号期間と前記内部クロック信号をクロック源とする前記第1の信号期間とは重ならない第2の信号期間とを有する、前記周辺回路の所定の回路領域のタイミング制御に供される混合クロック信号を生成する混合クロック生成回路とを有する。

**【選択図】** 図1

認定・付加情報

特許出願の番号	特願 2003-419383
受付番号	50302076172
書類名	特許願
担当官	土井 恵子 4264
作成日	平成15年12月18日

<認定情報・付加情報>

【提出日】 平成15年12月17日



特願 2 0 0 3 - 4 1 9 3 8 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝